ニューラルネットワークを用いた 可変論理回路のシナプス荷重

九州職業能力開発短期大学校附属
川内職業能力開発短期大学校電気電子システム系　寺　村　正　広

Synaptic Weights of Neural Network Logic Circuit with Variable Function

Masahiro TERAMURA

要約　アナログ制御信号により、異なる論理で演算するニューラルネットワーク論理回路を以前提案した。バックプロパゲーションアルゴリズムでシナプス荷重を計算し、実験をおこなった結果、可変論理回路として動作することを確認した。しかし、ハミング距離が n 離れた２種類の論理を設定した場合、アナログ制御信号の変化にともなってハミング距離が１の論理が順に出力されるため、$n-1$ 種の設定以外の論理も出力されることが分かった。本論文ではこのような設定以外の論理による出力をなくし、アナログ信号に対する論理演算の種類と範囲を任意に設定することを目的としたシナプス荷重計算法を提案する。また、回路実験により提案手法で計算したシナプス荷重の妥当性を確認する。バックプロパゲーションアルゴリズムによる荷重で生じる問題のいくつかを、提案手法では解決できることも示す。

Ⅰ　まえがき

近年、神経系の基本的構成要素であるニューロンの並列処理、学習、およびアナログ情報処理、等の優れた点を利用したニューラルネットワーク（以下 NN と略記する）が注目されている［１～４］。その一つに学習や論理の変化など、従来の論理素子にない機能を備えた論理演算 NN 回路が実現している［５～12］。論理演算可変の回路としては、ニューロ MOS トランジスタを利用した NN 回路が報告されており、論理変数以外の４ビットディジタル信号に応じて論理を変化させている［７～９］。

筆者はニューロンのアナログ処理の特徴を利用した図１のような構造の論理演算 NN 回路を以前提案した［12］。隠れ層と出力層の２層構造であり、入力ラインの X_1、X_2には論理変数のディジタル信号、X_3には論理を選択するアナログ信号を入力する。X_0および H_0はしきい値用信号である。論理演算結果は出力層からディジタル信号で出力される。誤差逆伝播（以後 BP と略記する）アルゴリズム［1］によりシナプス荷重を計算し、回路実験で動作を確認した。この論理演算 NN 回路は、２入力の論理演算をアナログ制御信号によって選択できる点、A－D コンバータなしにディジタル信号およびアナログ信号を処理できる点に特徴がある。しかし、アナログ制御信号の変化にともなってハミング距離が１の論理が順に出力されるため、設定以外の論理も出力された。

例として、ANDとXOR の２論理演算について述べる。アナログ値0.0のときに AND、1.0のときに XOR を出力するよう設定し、BP アルゴリズムによる表１のシナプス荷重を用いて回路実験をおこなった。結果、表２に示す論理演算出力を得た。最下段の学習時に設定したアナログ値では、学習通りの論理で出力されている。しかし、ハミング距離３の AND と XOR 間に、２種類の設定以外の論理による出力もある。一般的にハミング距離が n の２論理間には、設定以外

*論文受付日　H14. 12. 2

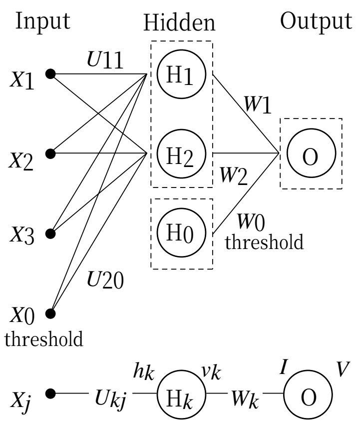

図１：従来の可変論理演算ニューラルネットワーク

に $n-1$ 種の論理も出力されることが分かった。

図１の NN における BP アルゴリズムによる学習では、いくつかのアナログ制御信号の値に対する論理演算の種類をそれぞれ学習する。従って、学習で設定したアナログ値以外において、他の論理を出力する場合でも、誤った学習結果とは言えない。しかし、センサのアナログ出力を論理演算の制御信号に利用したい場合、アナログ信号が変化する過程で設定以外の論理を出力するのは誤動作の原因となる。また、論理演算の種類と、それに対するアナログ信号範囲を任意に設定できれば、可変論理回路の利用が拡大すると期待される。従って、論理間に２以上のハミング距離がある場合でも、設定以外の論理が出力されず、各論理のアナログ制御信号範囲をも設定可能なシナプス荷重の計算法が必要である。

本論文では、可変論理回路で従来発生している問題を解消できるシナプス荷重の計算法を提案する。次に、例として文献［12］と同じ AND, XOR の２論理、および AND, OR, NAND, NOR の４論理について適用した結果を示す。最後に、回路実験により提案の計算法で得られたシナプス荷重の妥当性を確認する。実験の結果、設定以外の論理による出力がなく、論理の種類とアナログ制御信号範囲を任意に設定できることがわかった。また、隠れ層ニューロン数の決定が容易であり、シナプス荷重の計算時間も短縮されることを確認した。

II　可変論理演算 NN と提案のシナプス荷重計算法

2.1　可変論理演算 NN

図１の NN では、シナプス荷重 $W_k>0$ の場合、隠れ層ニューロンは出力層ニューロンが発火しやすくなる興奮性の作用をしており、反対に $W_k<0$ の場合、発火しにくくなる抑制性の作用をしている。本論文では、図２に示されるよう、隠れ層を興奮性と抑制性のニューロンに区別した NN を使用する。興奮性ニューロン H_k^+、抑制性ニューロン H_k^- のように、興奮性ニューロンに関するものには＋、抑制性ニューロンに関するものには－の記号を付けて表す。

表１：BP アルゴリズムによって計算されたシナプス荷重値

Synapse	Weight	Synapse	Weight
U_{11}	0.45	U_{21}	0.33
U_{12}	0.53	U_{22}	0.33
U_{13}	0.56	U_{23}	0.27
U_{10}	−0.77	U_{20}	−0.82
W_1	1.00		
W_2	−0.99		
W_0	−0.49		

表２：従来の回路による２論理演算と制御信号の関係

Input X_1	Input X_2	X_3: 0.0 − 0.42	− 0.56	− 0.60	− 1.0
0	0	0	0	0	0
0	1	0	1	1	1
1	0	0	0	1	1
1	1	1	1	1	0
Logic		AND	X_2	OR	XOR
Learned X_3		0			1

入力ラインと隠れ層間のシナプス荷重を $U_{kj}^{\pm}$ とすると、入力 X_j、隠れ層の入力 $h_k^{\pm}$ と出力 $v_k^{\pm}$ の関係は、

$$h_k^{\pm}=\sum_{j=0}^{3}U_{kj}^{\pm}X_j \tag{1}$$

$$v_k^{\pm}=f(h_k^{\pm}) \tag{2}$$

と表される。ここに、h_k^{+} の場合 $k=1,2,....,p$, h_k^{-} の場合 $k=1,2,....,q$ である。ニューロンの出力関数 f には、階段関数

$$f(h_k^{\pm})=\begin{cases}1 & h_k^{\pm}>0\\ 0 & \text{otherwise}\end{cases} \tag{3}$$

を用いる。

興奮性および抑制性ニューロンが出力層に及ぼす作用から $W_k^{+}=1$、$W_k^{-}=-1$ とし、しきい値用入力とのシナプス荷重は $W_0=-0.5$ とする。このとき、出力層ニューロンの入力 I および出力 V は、

$$I=\sum_{m=1}^{p}v_m^{+}-\sum_{n=1}^{q}v_n^{-}-0.5 \tag{4}$$

$$V=f(I) \tag{5}$$

となる。

ここで、式(4)のある v_m^{+} が１’からが０’に消火す

ると、I は１減少する。これは v_m^+ が‘１’のままで、ある v_m^-が‘０’から‘１’に発火したのと等価である。逆に、ある v_m^-の消火も、ある v_m^+ の発火と等価である。よって、隠れ層ニューロンはすべて消火の状態から発火し、一度発火すると消火しないと考えても支障はない。

2.2　シナプス荷重の計算法

図２の NN において、初期状態として $v_k^\pm$ がすべて‘０’であるとすると、式(4)、(5)から出力 $V=0$ となる。今、あるディジタル入力（X_1、X_2）において X_3 を増加していったとき、興奮性ニューロンを発火させれば $V=1$ となり、続いて抑制性ニューロンを発火させれば、再び $V=0$ となる。よって、隠れ層の興奮性と抑制性のニューロンを順に発火させるたびに、出力層は論理０と１を交互に出力し、論理が変化する。

出力関数に式(3)の階段関数を用いるため、ある隠れ層ニューロン $H_k^\pm$ の発火と消火の境界は $h_k^\pm=0$ のときである。ディジタル入力（X_1、X_2）の４種類の組合せ（0,0)、(0,1)、(1,0)、(1,1）に対して、それぞれアナログ入力 X_{3a}、X_{3b}、X_{3c}、X_{3d} におい $h_k^\pm=0$ と

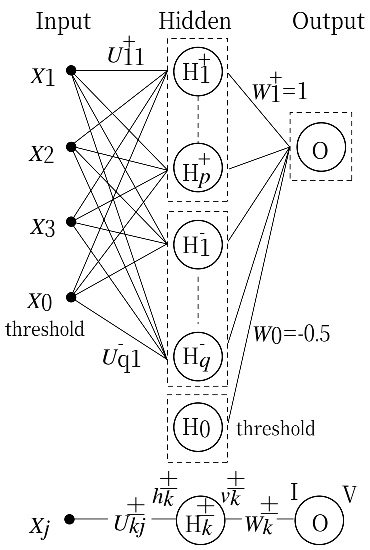

図２：新たに提案する可変論理演算ニューラルネットワーク

すると、式(1)より次の連立一次方程式が成り立つ。

$$
\begin{aligned}
0 &= \qquad\qquad\quad X_{3a}U_{k3}^\pm + U_{k0}^\pm \\
0 &= \qquad U_{k2}^\pm + X_{3b}U_{k3}^\pm + U_{k0}^\pm \\
0 &= U_{k1}^\pm \qquad\ + X_{3c}U_{k3}^\pm + U_{k0}^\pm \\
0 &= U_{k1}^\pm + U_{k2}^\pm + X_{3d}U_{k3}^\pm + U_{k0}^\pm
\end{aligned}
\tag{6}
$$

式(6)が自明な解 $U_{k0}^\pm=\cdots U_{k3}^\pm=0$ 以外に解を持つには、係数行列 X に

$$
\det X = \begin{vmatrix} 0 & 0 & X_{3a} & 1 \\ 0 & 1 & X_{3b} & 1 \\ 1 & 0 & X_{3c} & 1 \\ 1 & 1 & X_{3d} & 1 \end{vmatrix} = 0 \tag{7}
$$

の関係が成り立つことが必要十分条件である。よって X_{3a}～X_{3d} は、

$$
X_{3a}+X_{3d}=X_{3b}+X_{3c} \tag{8}
$$

の関係を満足しなければならない。このとき rank $X=3$ となるので、$U_{k0}^\pm$～$U_{k3}^\pm$ の１つには任意に値を与えることができる。その値を用いると連立方程式(6)の解が求められる。隠れ層ニューロンが発火するためには $U_{k3}^\pm>0$ でなければならないので、$U_{k3}^\pm=1$ を与えることにする。得られた解を用いると、ある隠れ層ニューロンはディジタル信号（X_1, X_2）$=$(0,0)、(0,1)、(1,0)、(1,1）に対して、それぞれアナログ信号 X_{3a}、X_{3b}, X_{3c}, X_{3d} において発火する。隠れ層ニューロンの発火の値はすべて式(8)を条件として、興奮性および抑制性ニューロンについてそれぞれ組み合わせ、用いた式(8)の数がニューロン数となる。但し、アナログ制御信号は $0\leq X_3\leq 1$ の範囲で変化するため、必要に応じて範囲外の値を利用できる。式(8)は隠れ層ニューロンが発火する値の必要十分条件を表しているので条件式、式(6)はシナプス荷重の解を求めるための連立方程式なので計算式、と以後表すことにする。

2.3　シナプス荷重の計算手順

条件式と計算式を用いたシナプス荷重計算の手順をま

表３：４論理演算の種類と制御信号の関係

X_3	0.00		0.25		0.50		0.75		1.00
Input	Logical Function								
(X_1, X_2)		AND		OR		NAND		NOR	
(0, 0)		0		0	*	1		1	●
(0, 1)		0	*	1		1	●	0	
(1, 0)		0	*	1		1	●	0	
(1, 1)	*	1		1	●	0		0	

表４：２論理演算の種類と制御信号の関係

X_3	−0.5		0.00		0.50		1.00
Input	Logical Function						
(X_1, X_2)		AND		OR		NAND	
(0, 0)	＊	1	●	0		0	
(0, 1)		0	＊	1	●	0	
(1, 0)		0	＊	1	●	0	
(1, 1)		0		0	＊	1	●

とめると、次の様になる。

(1)　入力信号に対する論理演算出力を表にし、興奮性および抑制性ニューロンの発火を表す記号を記入する。X_3の増加に従って、論理演算出力が‘０’から‘１’へ変化する点に記号‘＊’を、‘１’から‘０’へ変化する点に記号‘●’を記入する。但し、論理演算出力はすべて‘０’を初期値として変化を始めるものとする。

(2)‘＊’の付けられたすべてのX_3の値を１回用いて、条件式が成り立つような組合せを求める。

与えられた値の組合せだけで条件式を満たさない場合、(a)$X_3 \leq 0$もしくは(b)$X_3 \geq 1$で任意のX_3の値を用いる。

(3)　組合せに用いた条件式の数が、興奮性ニューロン数である。

(4)　‘●’について手順(2)を行う。

但し、手順(2)の(a)を用いた場合、同じディジタル入力において$X_3 \leq 0$の値を用いなければ、ニューロンを初期状態にできない。

組合せに用いた条件式の数が、抑制性ニューロン数である。

(5)　$U_{k3}^{\pm}=1$とし、各興奮性、抑制性ニューロンについて、計算式よりシナプス荷重を求める。

(6)　$W_k^{+}=1$、$W_k^{-}=-1$、$W_0=-0.5$とする。

表５：提案の手法で計算されたシナプス荷重値

Synapse	XOR/AND	AND/OR/NAND/NOR
U_{11}^{+}	−0.50	0.25
U_{12}^{+}	−0.50	0.25
U_{13}^{+}	1.00	1.00
U_{10}^{+}	0.50	−0.50
U_{21}^{-}	−0.50	0.25
U_{22}^{-}	−0.50	0.25
U_{23}^{-}	1.00	1.00
U_{20}^{-}	0.00	−1.00
W_1^{+}	1.00	1.00
W_2^{-}	−1.00	−1.00
W_0	−0.50	−0.50

表６：提案手法によるシナプス荷重を用いた２論理演算と制御信号の実験結果

		0.00	0.51　1.00
Input	Output	Logical Function	
(X_1, X_2)		XOR	AND
(0, 0)	v_1^{+}	1	1
	v_1^{-}	1	1
	V	0	0
(0, 1)	v_1^{+}	1	1
	v_1^{-}	0	1
	V	1	0
(1, 0)	v_1^{+}	1	1
	v_1^{-}	0	1
	V	1	0
(1, 1)	v_1^{+}	0	1
	v_1^{-}	0	0
	V	0	1

以上の手法により、任意の論理数に対するシナプス荷重値が計算できる。しかし、実際は論理数を増やすと、１論理に割り当てられるアナログ制御信号の範囲が狭くなるため、シナプス荷重等の精度で実現可能な論理数は制限される。

2.4　シナプス荷重計算結果

文献［12］と同じXOR、ANDの２論理、およびAND、OR、NAND、NORの４論理の組合せについて、シナプス荷重を提案手法で計算した。但し、アナログ制御信号の範囲は、各論理等しくなるよう設定した。

２論理の場合の入出力関係を表４に示す。手順(1)より、入力$X_3=0.0$、(X_1, X_2)が(0,1)、(1,0)および$X_3=0.5$、(1,1)に記号‘＊’を記入する。同様に、$X_3=0.5$、(0,1)、(1,0)に‘●’を記入する。手順(2)より‘＊’について$X_{3a}=-0.5$、$X_{3b}=0.0$、$X_{3c}=0.0$、$X_{3d}=0.5$とすれば、条件式を満たす。手順(3)より、興奮性ニューロンはH_1^{+}の１個である。

記号‘●’について、手順(2)の(a)を用いているため$X_{3a}=0.0$、$X_{3b}=0.5$、$X_{3c}=0.5$、$X_{3d}=1.0$とすると、条件式を満たす。よって、抑制性ニューロンもH_1^{-}の１個である。手順(5)、(6)により計算式で荷重を求めると、表５の結果が得られた。

次にAND、OR、NAND、NORの４論理演算について、入出力の関係を表３に示す。２論理の場合と同様に計算すると、興奮性、抑制性ニューロンは１つずつで良いことが分かった。得られたシナプス荷重を表５に示す。

例示した論理以外に、ディジタル２入力で最大の16

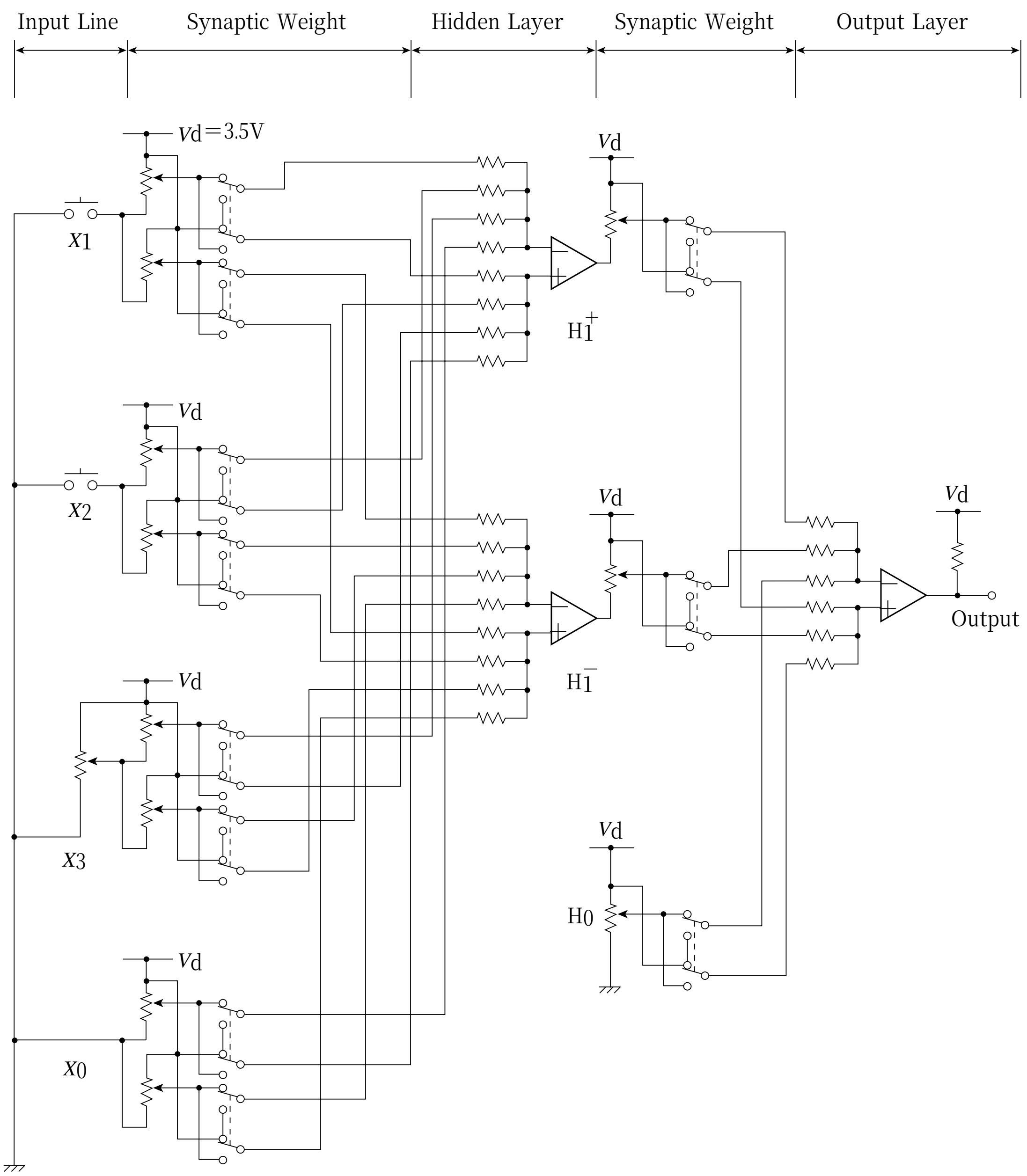

図３：論理演算のためのネットワーク回路

論理までシナプス荷重計算をおこなった。変化前の論理と変化後の論理のハミング距離が、小さくなるよう考慮して16論理を設定した場合、７個の隠れ層ニューロンで演算可能であった。

2.5　BP アルゴリズムと提案法の比較

BP アルゴリズムでは、あらかじめ隠れ層のニューロン数を与えて学習を開始するが、ニューロン数の不足により、シナプス荷重値が得られない場合がある。従って、試行的なシナプス荷重計算が必要であり、複数の計算結果をもとに、必要な隠れ層ニューロン数を経験的に判断しなければならない。しかし、提案の方法では計算過程で必要な隠れ層ニューロン数を決定するので、試行的な計算は不要であり、必要とするニューロン数も明らかである。

BP アルゴリズムでは、繰り返し学習に時間を必要とするが、提案手法は短時間で解が得られる。例えば、以前文献［12］で BP アルゴリズムを用いた学習をおこなった場合、数十万回から数百万回にもおよぶ繰り返し演算が必要であったが、提案手法では一回の荷重計算で解が得られる。

一般的にシナプス荷重を BP アルゴリズムで求めた場合、得られた NN は各ニューロンの動作や役割等は不明でブラックボックスとして扱われる。しかし、提案手法を用いた NN では各ニューロンの動作、役割、演算結果に与える影響等が明確で容易に理解でき

表７：提案手法によるシナプス荷重を用いた４論理演算と制御信号の実験結果

		0.00　　0.25　　0.51　　0.75　1.00			
Input	Output	Logical Function			
(X_1, X_2)		AND	OR	NAND	NOR
(0, 0)	v_1^+	0	0	0	0
	v_1^-	0	0	0	0
	V	0	0	0	0
(0, 1)	v_1^+	0	0	0	0
	v_1^-	0	0	0	0
	V	0	0	0	0
(1, 0)	v_1^+	0	0	0	0
	v_1^-	0	0	0	0
	V	0	0	0	0
(1, 1)	v_1^+	1	1	1	1
	v_1^-	0	0	0	0
	V	1	1	1	1

る。以上より、提案の荷重計算法で求めた可変論理NNは、従来の方法で求めた場合に比較して多くの問題を解決できることがわかった。

III　可変論理演算 NN 回路による実験結果

提案の計算法で得られた表５のシナプス荷重を利用し、回路実験により動作を確認した。実験回路を図３に示す。シナプス荷重の正負に応じてスイッチを切り換え、値に応じて可変抵抗を調整する。従来の TTL 論理素子と共通の電源を使用できるよう、単電源動作の演算増幅器を使用し、オープンコレクタ出力のため演算結果が負論理出力となる点が文献［12］の回路と異なっている。

２論理の回路実験結果を表６に示す。v_1^+ が発火する X_3の値は、表４の記号‘ ＊ ’の付いた X_3の値と、また v_1^- についても‘ ● ’の付いた X_3の値と良く一致している。

４論理では表７の出力が得られ、２論理の場合と同様、表３の設定に良く一致している。表２や文献［12］でみられた設定以外の論理は、表６、７では出力されていない。また、各論理演算の種類とアナログ制御信号範囲も設定通りであり、良好な結果と言える。

IV　むすび

アナログ制御信号により、異なる論理で演算するNN 論理回路のシナプス荷重計算法を提案した。XOR、ANDの２論理およびAND、OR、NAND、NORの４論理の組み合わせについてシナプス荷重を求め、回路実験により動作を確認した。シナプス荷重計算および回路実験結果から次の結論を得た。

(1)　可変論理演算 NN において、ハミング距離が２以上離れた論理を設定しても、設定以外の論理が出力されないシナプス荷重が得られる。

(2)　論理に対するアナログ制御信号の範囲を任意に設定できる。

(3)　隠れ層ニューロン数を容易に決定できる。

(4)　シナプス荷重計算に要する時間が短い。

(5)　提案の NN は動作が明らかである。

センサのアナログ出力を論理演算の制御信号に利用する場合、可変論理回路側でセンサの特性に応じたアナログ制御信号範囲を設定するのに本手法は有効である。

[参考文献]

[1] D. E. Rumelhart, J. L. McClelland, and PDP Research Group, “Parallel distributed processing," MIT Press, Cambridge, MA, 1986.

[2] 中野馨、飯沼一元、他、“ニューロコンピュータ、”技術評論社、1989。

[3] 久間和生、中山高、“ニューロコンピュータ工学、”工業調査会、1992。

[4] 岩田穆、雨宮好仁、“ニューラルネットワークLSI ”コロナ社、1995.

[5] M. D. Savigny and R. W. Newcomb, “Realization of boolean functions using a pulse coded neuron, ” IEEE Int. Symposium on Circuits & Syst., vol. 5, San Diego, CA, May1992, pp. 2228–2231.

[6] Y. P. Chu, “A neural-based boolean function generator," Int. J. Electronics," vol. 74, no. 1, 1993, pp. 21–34。

[7] T. Shibata T. Ohmi, “Neuron MOS voltage–mode circuit technology for multiple–valued logic, ”IEICE Trans. Electron, vol. E76–C, no. 3, March 1993, pp. 347–356.

[8] T. Shibata and T. Ohmi, “Neuron MOS binary-logic integrated circuits-Part I：Design fundamentals and soft-hardware-logic circuit implementation,” IEEE Trans. Electron Devices, vol. 40, no. 3, March 1993, pp. 570–576.

[9] T. Shibata and T. Ohmi, “Neuron MOS binarylogic integrated circuits –Part II : Simplifying tech-

niques of circuit configuration and their practical applications," IEEE Trans. Electron Devices, vol. 40, no. 5, May 1993, pp. 974–979。

［10］ G. J. Dusheck, T. C. Hilinski, and F. L. Putzrath, “A flexible neural logic network,” IEEE Trans. on military electronics, 1963, pp. 208–213.

［11］ H. Miyao, M. Koga, and T. Matsumoto, “Hardware Implementation of the multifrequency oscillation learning method for analog neural networks,” IEICE Trans. Inf. & Syst., vol. E76–D, no. 6, June 1993, pp. 717–719.

［12］ 寺村正広，野見山輝明，宮崎智行，“ニューラルネットワークを利用した可変論理演算回路，” 信学論（C－II），vol. J79–C–II, no. 12, Dec. 1996, pp. 744–746.