

カリキュラムシート

分類番号

A302-S05-3

訓練分野	電気・電子系	訓練コース	FPGAによる高速画像処理技術	
訓練対象者	画像処理システムの設計・開発に従事する技能・技術者等であって、指導的・中核的な役割を担う者又はその候補者			
訓練目標	画像処理を用いた製品の設計工程における効率化・最適化（改善）をめざして、デジタル回路の設計技術及びFPGA回路の具体的な活用手法を習得する。			
教科の細目	内 容		訓練時間	うち実習・まとめ
			(H)	(H)
1. コースの概要と開発環境	(1) コース概要及び専門的能力の確認 (2) 画像処理システムの概要と使用する画像処理ボード (3) 開発ツールの概要と環境設定		2.0	0.5
2. CMOSイメージセンサの制御	(1) CMOSイメージセンサの制御方法 (2) コントローラとの通信制御方法 (3) 画像出力フォーマット（YUV、RGB、RAW）の設定 (4) 画像用メモリ（フレームバッファ）へのアクセス方法		2.0	1.0
3. 画像処理のハードウェア化設計	(1) ハードウェア化する画像処理のアルゴリズム (2) ガウシアンフィルターのハードウェア化検討 (3) フィルタサイズ（3×3）のHDL記述		2.5	1.5
4. 画像処理の高速化手法	(1) メモリコントローラの転送効率の最適化手法 (2) キャッシュ（ブロックRAM）による高速化手法とHDL記述 (3) 画像処理演算のパイプライン処理とHDL記述		2.0	1.5
5. HDL設計とFPGAへの実装	(1) 画像処理回路の階層構造設計 (2) YUV信号取り出しモジュール回路設計 (3) ガウシアンフィルターのモジュール回路設計 (4) 回路シミュレーションとFPGAへの実装 (5) 設計した回路の動作確認および評価・改善		3.0	2.5
6. まとめ	(1) 実習の全体的な講評及び確認・評価		0.5	0.5