カリキュラムシート

分類番号	A302-S05-3

訓練分野	電気・電子系	訓練コース	ＦＰＧＡによる高速画像処理技術
訓練対象者	画像処理システムの設計・開発に従事する技能・技術者等であって、指導的・中核的な役割を担う者又はその候補者		
訓練目標	画像処理を用いた製品の設計工程における効率化・最適化（改善）をめざして、ディジタル回路の設計技術及びＦＰＧＡ回路の具体的な活用手法を習得する。		

教科の細目	内　　容	訓練時間	うち実習・まとめ
		(H)	(H)
１．コースの概要と開発環境	（１）コース概要及び専門的能力の確認	2.0	0.5
	（２）画像処理システムの概要と使用する画像処理ボード		
	（３）開発ツールの概要と環境設定		
２．ＣＭＯＳイメージセンサの制御	（１）ＣＭＯＳイメージセンサの制御方法	2.0	1.0
	（２）コントローラとの通信制御方法		
	（３）画像出力フォーマット（ＹＵＶ、ＲＧＢ、ＲＡＷ）の設定		
	（４）画像用メモリ（フレームバッファ）へのアクセス方法		
３．画像処理のハードウエア化設計	（１）ハードウエア化する画像処理のアルゴリズム	2.5	1.5
	（２）ガウシアンフィルターのハードウエア化検討		
	（３）フィルタサイズ（３×３）のＨＤＬ記述		
４．画像処理の高速化手法	（１）メモリコントローラの転送効率の最適化手法	2.0	1.5
	（２）キャッシュ（ブロックＲＡＭ）による高速化手法とＨＤＬ記述		
	（３）画像処理演算のパイプライン処理とＨＤＬ記述		
５．ＨＤＬ設計とＦＰＧＡへの実装	（１）画像処理回路の階層構造設計	3.0	2.5
	（２）ＹＵＶ信号取り出しモジュール回路設計		
	（３）ガウシアンフィルターのモジュール回路設計		
	（４）回路シミュレーションとＦＰＧＡへの実装		
	（５）設計した回路の動作確認および評価・改善		
６．まとめ	（１）実習の全体的な講評及び確認・評価	0.5	0.5
	訓練時間合計	12.0	7.5

使用器具等	画像処理評価ボード、論理シミュレータ、論理合成ツール、配置配線ツール、その他
養成する能力	生産性の向上を実現できる能力